



F-6888

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Yasuo TARUI et al.
Serial No. : 09/801,990
Filed : March 8, 2001
For : TRANSISTOR-TYPE FERROELECTRIC NONVOLATILE
MEMORY
Group Art Unit : (Not yet known)
Examiner : (Not yet known)

Certificate of Mailing Under 37 CFR 1.8

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to ASSISTANT COMMISSIONER FOR PATENTS, WASHINGTON, DC 20231 on April 4, 2001.

Frank J. Jordan
(Name of Registered Representative)

 04/04/01
(Signature and Date)

Assistant Commissioner
for Patents
Washington, D.C. 20231

LETTER FORWARDING CERTIFIED PRIORITY DOCUMENT

Sir:

The above-identified application was filed claiming a right of priority based on applicant's corresponding foreign application as follows:

<u>Country</u>	<u>No.</u>	<u>Filing Date</u>
Japan	2000-073507	March 16, 2000



Serial No. 09/801,990

A certified copy of said document is annexed hereto and it is respectfully requested that this document be filed in respect to the claim of priority. The priority of the above-identified patent application is claimed under 35 U.S.C. § 119.

Respectfully submitted,

JORDAN AND HAMBURG LLP

By 
Frank J. Jordan
Reg. No. 20,456
Attorney for Applicants

122 East 42nd Street
New York, New York 10168
(212) 986-2340

FJJ:jr
Enclosure: Certified Priority Document



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

Jordan And Hamburg, CCP
U.S. Appln. 09/801,990
YASUO TARUI et al.
F-6888
(212) 986-2340

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 3月 16日

出願番号
Application Number:

特願2000-073507

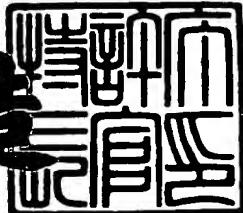
出願人
Applicant(s):

垂井 康夫
日本プレシジョン・サーキッツ株式会社

2001年 3月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3017718

【書類名】 特許願
【整理番号】 Y1H0142
【提出日】 平成12年 3月16日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】

【住所又は居所】 東京都世田谷区瀬田1丁目9番27-304号
【氏名】 垂井 康夫

【発明者】
【住所又は居所】 東京都江東区福住2丁目4番3号 日本プレシジョン・
サーキツ株式会社内
【氏名】 坂巻 和男

【特許出願人】
【住所又は居所】 東京都世田谷区瀬田1丁目9番27-304号
【氏名又は名称】 垂井 康夫

【特許出願人】
【住所又は居所】 東京都中央区京橋2丁目6番21号
【氏名又は名称】 日本プレシジョン・サーキツ株式会社

【代理人】
【識別番号】 100059959
【弁理士】
【氏名又は名称】 中村 稔

【選任した代理人】
【識別番号】 100067013
【弁理士】
【氏名又は名称】 大塚 文昭

【選任した代理人】
【識別番号】 100082005
【弁理士】

【氏名又は名称】 熊倉 順男

【選任した代理人】

【識別番号】 100065189

【弁理士】

【氏名又は名称】 宍戸 嘉一

【選任した代理人】

【識別番号】 100096194

【弁理士】

【氏名又は名称】 竹内 英人

【選任した代理人】

【識別番号】 100074228

【弁理士】

【氏名又は名称】 今城 俊夫

【選任した代理人】

【識別番号】 100084009

【弁理士】

【氏名又は名称】 小川 信夫

【選任した代理人】

【識別番号】 100082821

【弁理士】

【氏名又は名称】 村社 厚夫

【選任した代理人】

【識別番号】 100086771

【弁理士】

【氏名又は名称】 西島 孝喜

【選任した代理人】

【識別番号】 100084663

【弁理士】

【氏名又は名称】 箱田 篤

【手数料の表示】

【予納台帳番号】 008604

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 トランジスタ型強誘電体不揮発性記憶素子

【特許請求の範囲】

【請求項1】 MFMIS（金属－強誘電体－金属－絶縁体－半導体）構造を有するトランジスタ型強誘電体不揮発性記憶素子において、

上下に積み重ねられたMFM（金属－強誘電体－金属）構造とMIS（金属－絶縁体－半導体）構造と、

下の前記MIS構造のキャパシタンスの実効面積をその上の前記MFM構造のキャパシタンスの実効面積に比較して増大させる手段と、

を具備することを特徴とするトランジスタ型強誘電体不揮発性記憶素子。

【請求項2】 半導体基板と、この半導体基板内に設けられたトレンチとを有し、前記MIS構造が前記トレンチ内に形成され、前記MFM構造が前記トレンチ上に前記半導体基板の主面とほぼ平行に積層され、前記増大させる手段が前記トレンチであることを特徴とする請求項1記載のトランジスタ型強誘電体不揮発性記憶素子。

【請求項3】 前記MIS構造が前記不揮発性記憶素子のMISトランジスタであり、このMISトランジスタのソース、ベース、ドレインの各領域が、前記半導体基板内に、下からソース、ベース、ドレインの順に形成されていて、前記増大させる手段が前記トレンチの内面に設けられている前記MISトランジスタのゲート構造であることを特徴とする請求項2記載のトランジスタ型強誘電体不揮発性記憶素子。

【請求項4】 前記MIS構造が前記不揮発性記憶素子のMISトランジスタであり、このMISトランジスタのソース、ベース、ドレインの各領域が、前記半導体基板内に、下からドレイン、ベース、ソースの順に形成されていて、前記増大させる手段が前記トレンチの内面に設けられている前記MISトランジスタのゲート構造であることを特徴とする請求項2記載のトランジスタ型強誘電体不揮発性記憶素子。

【請求項5】 前記MIS構造が前記不揮発性記憶素子のMISトランジスタであり、このMISトランジスタのソースとドレインの各領域が、前記トレンチ

により分離されていることを特徴とする請求項2記載のトランジスタ型強誘電体不揮発性記憶素子。

【請求項6】 前記MIS構造が内部に凹凸部を含み、この凹凸部が前記増大させる手段を構成し、前記MIS構造の上部が平坦でその上に前記MFM構造が積み重ねられていることを特徴とする請求項1記載のトランジスタ型強誘電体不揮発性記憶素子。

【請求項7】 前記増大させる手段が、前記MFM構造と前記MIS構造の中間に設けられたMIM（金属-絶縁体-金属）構造であることを特徴とする請求項1記載のトランジスタ型強誘電体不揮発性記憶素子。

【請求項8】 前記MFM構造の強誘電体層上の金属層の面積を前記強誘電体層のそれより小さくしてあることを特徴とする請求項2乃至7記載のトランジスタ型強誘電体不揮発性記憶素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に不揮発性記憶素子に関し、より詳細には強誘電体を制御ゲートに用いたトランジスタ型強誘電体不揮発性記憶素子に関するものである。

【0002】

【従来の技術】

現在、実用化されている強誘電体メモリは、DRAMのキャパシタを強誘電体キャパシタに置き換えた構成を有している（例えば、特開平2-113496号公報を参照）。その動作は、強誘電体のキャパシタンスの分極が反転する時と、反転しない時の電荷量の差を検知することによって、記憶した情報が[1]であったか[0]であったかを判断している。このため、情報を読み出す際に保持していた情報が破壊される。いわゆる破壊読み出しとなる。

【0003】

さらに、この方法においては、分極の反転における電荷を直接電流として取り出して検知するために、キャパシタンスの面積が小さくなるとともに電流値も小さくなり、検出が困難となる。このことはこの構造のメモリがDRAM同様にス

ケーリング側に従わないゆえに発生する基本的問題である。すなわち、このため使用する面積、電流、電力を低減する際に限界が存在する。

【0004】

一方、強誘電体を制御ゲートに配置する電界効果型トランジスタ（FET；Field Effect Transistor）強誘電体メモリは、強誘電体の分極がトランジスタのチャンネルの電荷を誘起することによって、ソース、ドレイン間をオン、オフさせるもので、セル面積を比例縮小させても、ドレイン電流の変化率は変わらない。これは、強誘電体トランジスタのメモリセルがスケーリング則に従っている（電子情報通信学会誌77-9, p976, 1994）ことを意味し、微細化に際して原理的な限界は存在しない。

【0005】

さらにトランジスタ型強誘電体メモリは強誘電体の分極により、FETのオン、オフを維持するため、低電圧による読み出し動作により情報が破壊されない。いわゆる非破壊読み出しすることも可能である。

【0006】

強誘電体を制御ゲートに配置する電界効果型強誘電体メモリトランジスタは2つの種類に大別される。その一つは、MFI S（Metal-Ferroelectric-Insulator-Semiconductor）（金属-強誘電体-絶縁体-半導体）構造を持つ強誘電体トランジスタで、強誘電体がその分極によりゲート絶縁膜を介して、半導体基板表面に電荷を誘起するものである。

【0007】

もう一つは、MFMIS（Metal-Ferroelectric-Metal-Insulator-Semiconductor）（金属-強誘電体-金属-絶縁体-半導体）構造をゲート構造に持つ強誘電体トランジスタで、MFI S構造の強誘電体層と絶縁膜層の間に金属（M）層を挟み込んだものである。本発明は、後者のMFMISに関するものである。

なお、本明細書中で言う金属層またはM層とは、金属の他、多結晶シリコンなどの導電体の層も含むものとする。

【0008】

図12は、従来例のMFMIS型強誘電体メモリ（T.Nakamura et al. Dig. T

ech. Pap. of 1995 IEEE Int. Solid State Circuits Conf. P.68(1995)) の簡
単化した原理図の断面を示す。図12中、半導体基板 (S) 80の正面にソース
領域82とドレイン領域83とが形成されていて、その中間の半導体基板の正面
にゲート絶縁層 (I) 81が積層されている。ゲート絶縁層81上には、第1導
電体膜 (M) 84、強誘電体層 (F) 85、第2導電体膜 (M) 86が積み重ね
られている。

【0009】

図13は図12のMFMIS構造の部分を等価回路で表したものである。図1
3において上部電極Aと半導体基板B間に電圧を印加して、強誘電体層Fを分極
させる時、強誘電体Fの分極が十分飽和するまで電圧を印加することが、記憶保
持特性の観点から必要であり、このためにはキャパシタンス C_F (強誘電体層の
容量) がキャパシタンス C_I (ゲート絶縁層の容量) に比較して小さくなるよう
に設計することが重要である。キャパシタンス C_F およびキャパシタンス C_I は、
電圧が印加されるゲート絶縁層Iまたは強誘電体層Fの実効表面積に正比例し、
その厚さに逆比例する関係を有する。

【0010】

そこでキャパシタンス C_F (強誘電体層の容量) がキャパシタンス C_I (ゲート
絶縁層の容量) に比較して小さくなるように設計するために、ゲート絶縁層Iを
薄くすること、強誘電体層Fを厚くすることが考えられるが、ゲート絶縁層Iを
薄くすることは耐圧およびリーク電流の点から限界があり、強誘電体層Fを厚く
すると強誘電体の分極を飽和させるために、高い分極電圧を必要とすることにな
る。

【0011】

これらの問題を避けてキャパシタンス C_F をキャパシタンス C_I に比較して小さ
くする従来方法は、キャパシタンス C_F とキャパシタンス C_I の実効面積を変える
方法である。これを行った簡単な原理図を図14に示す。図14は図12の構造
を上部より見た平面図とを考えることができる。 C_I を構成するMIS (金属-絶
縁体-半導体) 部91の面積の一部のみに強誘電体層を有するMFMIS構造9
2を有している。80は半導体基板、82はソース領域、83はドレイン領域を

示す。この従来方法によって、 C_F を必要に応じて C_I に比較して小さく設計することができる。

【0012】

【発明が解決しようとする課題】

しかし、この従来方法の問題は、MFMIS部92を最小加工寸法で形成してもMIS部91はMFMIS部92との面積比分だけ大きくなり、結局大きい面積を専有することとなり、高い集積度を得ることが出来ないことがある。

さらに、図12に示す従来構造の今1つの問題点は、ソースおよびドレインとゲートとの位置調整を保ちながら、ソース～ドレインのチャンネル長を再現性良く十分に短くできない点にある。

【0013】

すなわち、図12に示すように、MFM部構造を同一寸法に形成してからソース、ドレインの不純物の導入活性化などの熱処理を行うと強誘電体に含まれる不純物が遊離してシリコンに拡散してデバイス特性を劣化させる恐れがあり、さらに図12のように端面を一括して加工すると側壁におけるリーク電流が大きくなる恐れもある。

【0014】

一方、MIS構造をシリコン酸化膜上の多結晶シリコンによって、シリコンゲートによるセルフアライメント法を採用して形成し、シリコンゲート拡散後に、MFM（金属－強誘電体－金属）構造を構成すると、ソース～ドレイン間のチャンネル長は小さくすることができる。しかし、この場合、このMIS構造の上部にMFM構造を構成する場合の位置合わせ余裕が極めて厳しくなる。

【0015】

すなわち、図15のように、多結晶シリコンゲート87を持つシリコンゲートトランジスタの上部の層間絶縁膜88に開けたコンタクトホール89を介して強誘電体（F）85の導電体84を接続すると、コンタクトホール89の位置合わせのずれによって図16のように導電体84がシリコン基板80に接続してしまうという不具合が発生があるので、シリコンゲート87のゲート幅はコンタクトホール89の位置合わせ精度を考慮するため、十分に小さくすることは

できない。

【0016】

そこで本発明は、このような従来の技術が有する未解決な課題を解決したものである。メモリセル面積を縮小して高密度に集積化を可能にし、同時にチャンネル長を再現性良く短く加工でき、LSI製造プロセスの最小加工寸法まで縮めることを可能にした、トランジスタ型強誘電体不揮発性記憶素子を提供することを目的とするものである。

【0017】

【課題を解決するための手段】

上記の目的を達成するために、本発明では、MFMIS（金属-強誘電体-金属-絶縁体-半導体）構造を有するトランジスタ型強誘電体不揮発性記憶素子において、上下に積み重ねられたMFM（金属-強誘電体-金属）構造とMIS（金属-絶縁体-半導体）構造と、下のMIS構造のキャパシタンスの実効面積を上のMFM構造のキャパシタンスの実効面積に比較して増大させる手段と、を具備することを特徴とするトランジスタ型強誘電体不揮発性記憶素子を提供する。実効面積を増大させる手段は、半導体基板に作られたトレンチ（溝）または凹凸部であり、これらトレンチまたは凹凸部によりMIS構造のキャパシタンスの実効面積を増大させる。また、実効面積を増大させる手段は、MFM構造とMIS構造の中間に介在するMIM（金属-絶縁体-金属）構造であっても良い。

【0018】

すなわち、本発明では、半導体基板と、この半導体基板内に設けられたトレンチとを有し、MIS構造がトレンチ内に形成され、MFM構造がトレンチ上に半導体基板の主面と平行に積層されていて、実効面積を増大させる手段がこのトレンチにより構成されている。

【0019】

また、本発明では、MIS構造が不揮発性記憶素子の検出用MISトランジスタであり、このMISトランジスタのソース、ベース、ドレインの各領域が、半導体基板内に、下からソース、ベース、ドレインの順に形成されていて、実効面積を増大させる手段がトレンチの内面に設けられているMISトランジスタのゲ

ート構造により構成されている。

【0020】

さらに、本発明では、MIS構造が不揮発性記憶素子の検出用MISトランジスタであり、このMISトランジスタのソース、ベース、ドレインの各領域が、半導体基板内に、下からドレイン、ベース、ソースの順に形成されていて、実効面積を増大させる手段がトレンチの内面に設けられているMISトランジスタのゲート構造により構成されている。

【0021】

さらに、本発明では、MIS構造が不揮発性記憶素子のMISトランジスタであり、このMISトランジスタのソースとドレインの各領域が、トレンチにより分離されていて、実効面積を増大させる手段がトレンチの内面に設けられているMISトランジスタのゲート構造により構成される。

【0022】

さらに、本発明では、MIS構造が内部に凹凸部を含み、MIS構造の実効面積を増大させる手段がこの凹凸部から構成される。MIS構造の上部は平坦で、その上にMFM構造が積層される。

【0023】

さらに、本発明では、実効面積を増大させる手段が、MFM構造とMIS構造の中間に設けられたMIM（金属-絶縁体-金属）構造から構成される。

【0024】

本発明の構成によれば、専有面積を増大させることなく、ほぼ同一面積内に上下に積み重ねられているMISのキャパシタンスの実効面積をMFM部キャパシタンスの実効面積に較べて増大することができる。この結果、メモリセル面積を縮小して高密度に集積化を可能にし、同時にチャンネル長を再現性良く短く加工でき、LSI製造プロセスの最小加工寸法まで縮めることを可能にした、トランジスタ型強誘電体不揮発性記憶素子を提供できる。

【0025】

【実施例】

図1を参照して、本発明の第1実施例を説明する。この実施例では、ドレイン

層となるN⁺シリコン基板(S)1上に、N⁻層2がエピタキシャル成長されて積層されている。このN⁻層2中にはP型の不純物とN型の不純物が二重拡散されてベース層となるP層3とソース層となるN⁺層4が順次積層形成されている。N⁺層4上には熱酸化による酸化シリコンの絶縁層5が積層されている。基板1内には、絶縁層5、N⁺層4およびP層3を貫通して、N⁻層2に達するトレンチ(溝)6が形成されている。トレンチ6は、開口部が底部より若干大きくなるようにその側壁7が若干傾斜している。このトレンチ6の内面、すなわち側壁および底部、はゲート酸化層(I)8となる酸化シリコン膜により覆われている。

【0026】

トレンチ6内は、例えば多結晶シリコンまたは金属材料等の導電体(M)9が充填されている。この結果、トレンチ6の側壁7上に、導電体(M)9とゲート酸化層(I)8とN⁺基板(ドレイン)1、N⁻層2、P層(ベース)3、N⁺層(ソース)4とからなる半導体(S)のMIS構造10が形成されている。トレンチ6の内面を覆うゲート酸化層8は、MIS構造のキャパシタンスの実効面積を増大させている。そして、この実効面積はトレンチ6の深さを制御して、その内面の面積を変えることによって、変えることができる。

導電体9が充填されたトレンチ6上部は絶縁層5と同じ平面、すなわち、半導体基板1の主面と平行になるように平坦化されていて、順次、導電体(M)層11、強誘電体層(F)12、導電体(M)層13が積層されている。この結果、トレンチ6上に、MFM構造20が形成される。

【0027】

トレンチ6上のMFM構造20とそのトレンチ6内のMIS構造10は、シリコン基板1の主面平面のほぼ同じ面積内を上下に占めている。しかし、MIS構造10のキャパシタンスの実効面積は上記の通りに制御することができるので、MFM構造20のキャパシタンスの実効面積よりも十分に大きくすることが可能である。

なお、図1の実施例のMIS構造10は、二重拡散の差によって短いチャンネル長を作り得るトランジスタとしての特徴を持っている(第1回固体素子コンファレンス 4-1, Supplement to the Journal of the Japan Society of Appl

ied Physics Vol.39, 1970, pp.105-110)。

また、図1の実施例の構成においては、トレンチ6を掘る前にシリコン表面を覆うシリコン酸化層5を十分に厚くしておくことにより、図1の様にMFM構造20をトレンチ6上およびシリコン酸化層5上に設けたとき、この厚い酸化層5上のMFM構造20とシリコン基板1とは浮遊容量少なく、良く分離されることになる。

さらに、図1の実施例の構成においては、N⁻層2の厚みと、トレンチ6の深さを制御することによって、トレンチ6下部のMIS構造10のシリコン基板1側のN⁻部2が空乏層内に入るようにできるから、無用のゲート～ドレイン間容量の増加を防ぐことができ、極めて高速な動作が可能となる。

【0028】

図2は、本発明の第2の実施例を示す。この第2実施例では、ソースとなるN⁺シリコン基板21上にベースとなるP層22がエピタキシャル成長で積層されている。このP層22内にN⁻層24とN⁺層25が、二重拡散により形成されていてドレインとなっている。そして、N⁺層25上に酸化シリコンの絶縁層26が積層されている。シリコン基板21の主面側から、絶縁層26、N⁺層25、N⁻層24、P層22とシリコン基板21の一部を取除いたトレンチ27が形成されている。トレンチ27の側壁および底部の内面上には酸化膜が形成され、ゲート酸化層28を形成している。図1の実施例と同じくトレンチ27内には多結晶シリコン等の導電体29が充填されている。したがって、MIS構造10が、導電体(M)29、ゲート酸化層(I)28、およびN⁺層25、N⁻層24、P層22、N⁺シリコン基板21からなる半導体(S)により形成されている。平坦なトレンチ27の上部には、図1と同じMFM構造20が積層されている。この図2に示す第2実施例の構造においては、ドレイン部の電気的分離が容易で、シリコン表面から電極を取り出しやすい特徴を有している。

【0029】

図3は、本発明の第3の実施例を示す。この実施例はより簡単なMISトランジスタ構造30を持つ。P型シリコン基板31上に、N⁺層32が拡散により形成されている。そして、N⁺層32上には酸化シリコンからなる絶縁層33が積

層されている。この絶縁層33からN⁺層を貫通して、P型シリコン基板31に達するトレンチ34が形成されている。このトレンチ34により、N⁺層32がトレンチ34の左右に分離され、それぞれドレイン領域35とソース領域36を構成している。そしてトレンチ34の側壁および底面の内面にはゲート酸化膜37が形成されている。そして、トレンチ34内に多結晶シリコン等の導電体38が充填されて、MIS構造30が形成されている。平坦なトレンチ34の上部に図1と同様にMFM構造20が形成されている。

【0030】

図3の第3実施例の構造でも、MIS構造30のキャパシタンスの実効面積は、トレンチ34内面のゲート酸化膜37であり、MFM構造20の実効面積よりも大きく取られている点は前の実施例と同様である。この実施例では、ドレイン領域がチャンネルが形成される面より上にあるために、短チャンネル効果が少ない特徴がある。

【0031】

上述した各実施例においては、トレンチの側壁が、シリコン基板の正面に対して直角ではなく、開口部が底部より広くなるゆるい角度をなしている。このトレンチの形成は、シリコン基板1の正面に平行なシリコン結晶面(100)と、これに対して図17に示すような角度をなすシリコン結晶面(111)とを利用して、これら結晶面の選択エッチング(例えば水酸化カリウム水溶液を用いて)によって行う。例えば、図18(同図は正面側斜め上方からみた模式図である。)に、異方性エッチングを用いてシリコン基板にV溝のトレンチを作製した例を示す。同図のようにシリコン結晶面(100)とシリコン結晶面(111)とがなす角度は54.7度であり、従って($1/\cos 54.7^\circ$) = 1.73であるから、トレンチの側壁の面積の正面に対する増倍率を1.73倍とすることができます。

【0032】

また、以下に説明する図6に示される実施例では、トレンチの側壁がシリコン基板の正面に対して直角に形成されている。この場合、トレンチの幅をW、長さをL、深さをDとすると、トレンチの開口部の半導体基板の正面の面積はWLと

なる。トレンチ上のMFM構造のキャパシタンスの実効面積はこのWLにほぼ等しい。一方、トレンチの側壁と底部とからなる内面の面積の合計は（2WD+2LD+WL）となる。したがって、開口部の面積WLに対する比は、（2D/W+2D/L+1）となる。トレンチ内のMIS構造のキャパシタンスの実効面積は、トレンチの側壁と底面からなる内面の面積にほぼ等しい。この結果、トレンチ内のMIS構造のキャパシタンスの実効面積は、トレンチ上のMFM構造のキャパシタンスの実効面積よりも、ほぼ、（2D/W+2D/L+1）倍だけ大きくすることが可能である。

【0033】

次に、図4に示す本発明の第4実施例を説明する。この実施例では、SOI (silicon on insulator) 基板を用いている。薄いSOI層上に、MIS構造とMFM構造を積み重ねる構成にすると、上述の実施例の様に深いシリコントレンチの形成は困難である。このため、MIS構造とMFM構造の中間にIMM（金属-絶縁体-金属）構造を設けて、MIS構造のキャパシタンスの実効面積を増大するようにしている。SOI層43の真中にはチャンネルが形成される領域を構成しその上にはゲート酸化膜(I)44が積層される。

すなわち、半導体基板41上に、絶縁膜42が積層され、その上に半導体層(S)43が積層されている。半導体層43の両側はそれぞれソース領域43aおよびドレイン領域43bを形成している。半導体層43の真中はチャンネルが形成される領域を構成しその上にはゲート酸化膜(I)44が積層されている。ソース領域43aおよびドレイン領域43bの上には、より厚い層間絶縁膜45が積層されている。ゲート酸化膜44上には、第1導電体(M)46が貫入するトレンチ（溝）が層間絶縁膜45内に設けられている。第1導電体46とゲート酸化膜44と半導体層43により、MISトランジスタ構造が形成されている。平坦な層間絶縁膜45上部と第1導電体46上部には、強誘電体層(F)47が積層され、さらにその上には第2導電体層(M)48が積層されて、MFM構造を形成している。この第2導電体層48の面積はその下の強誘電体層47の面積よりも小さくなっている。これはMFM構造の実効面積を減少させて、相対的に下部のMIS構造の実効面積を大きくする作用を有する。

【0034】

第1導電体46が貫入する層間絶縁膜45のトレンチ（溝）の側壁には、MIM（金属-絶縁体-金属）構造40を形成するための導電体49が、層間絶縁膜45を介して第1導電体46と対向している。このMIM構造40による実効面積は層間絶縁膜45の高さを制御することによって変えることができる。このMIM構造40により、MIS構造の実効キャパシタンスを増加させることができる。層間絶縁膜45の上部は平坦となっていて平坦なMFM構造を積層している。これによって、MFM構造とMIS構造のキャパシタンス面積は、シリコン主面上の専有面積が同じであっても、MIS構造の実効面積をMFM構造の実効面積よりも十分に大きく取ることが可能である。

【0035】

図5aおよび図5bは、本発明の第5実施例を示す図である。この実施例においては、上述の実施例とは異なり、シリコン表面に化学処理などによって得られるミクロン単位の微少な凹凸を設けて、MIS構造のキャパシタンスの実効面積を増加するようにしている。図5bに示す領域50は、あらかじめトランジスタ部と凹凸部とを絶縁膜で素子分離Xされたシリコン基板60の表面にミクロン単位の微少な大きさの凹凸が設けられて、その上に絶縁膜55を形成し、その表面積を増加させている。この凹凸が設けられた領域50にはゲート絶縁膜Y上のシリコンゲートと連結する第1導電体層56が積層される。次に、レジストを塗布した上でフォトリソグラフィー、ドライエッチングにより、ゲート積層構造部分を一括して加工する。さらに、ソース、ドレイン領域以外にソース、ドレイン不純物が入らないように保護膜をつけた状態でソース、ドレイン用不純物を注入して、ソース領域51およびドレイン領域52を形成し、トランジスタ部59を形成する。そして、ミクロン単位の微少な凹凸が設けられた上部の第1導電体層56の上面に強誘電体層57が積層され、さらにその上には第2導電体層58が積層される。凹凸が設けられたMIS構造は、絶縁膜55が第1導電体層56と接する面に形成された凹凸面50により実効面積が増加されている。このため、有効面積の増加分だけ、ウェハー上の面積を節約することができる。53および54はソース領域51およびドレイン領域52へのコンタクトである。

【0036】

なお、一般的に、強誘電体の材料のなかには半導体中に拡散して入ると、半導体の動作を阻害するものがある。このため、強誘電体に接する金属（M）部あるいは別途強誘電体と半導体の間には、強誘電体材料の拡散を防止するバリア層を挿入する必要がある場合がある。

【0037】

図6は、本発明の第6実施例を示す。この第6実施例においては、N⁺シリコン半導体基板61の主面上に、 $3 \times 10^{17} \text{ cm}^{-3}$ のn型不純物を含み、厚み4.5 μmのN⁻型エピタキシャル層62が形成される。N⁻層62の表面より、ボロンとリンの二重拡散を用いて、0.6 μmの厚みのN⁺ソース層64と、0.4 μmの厚みのPベース層63が形成される。この二重拡散中にも形成される酸化膜に、さらに熱酸化処理を加えて厚み0.5 μmの酸化膜65を形成した。

【0038】

続いて、表面の酸化膜65の内、トレンチ（溝）66を形成する部分（幅Wと長さLがそれぞれ1.0 μmの領域）の酸化膜65を除去する。次に、残部の酸化膜65をマスクとしてリアクティディオノエッティングにより、深さDが4 μmを持ち、N⁻層に達するトレンチ66をシリコン半導体基板中に形成した。掘られて露呈したトレンチ66の側壁および底部を化学的にクリーニングしてダメージ層を除去した後、熱酸化により10 nmの厚みのゲート酸化膜67を形成した。

【0039】

続いて、CVDにより多結晶シリコン68を析出して、シリコン基板61の主面上に作られた酸化シリコンの絶縁膜65の表面まで、トレンチ66内に充填して平坦化した。

次に、このトレンチ66内に充填され平坦化された多結晶シリコン68の上に、第1導電体膜として、二酸化イリジウムと白金の積層膜69をスパッタリング法にて形成した。この形成された積層膜69の厚みは、合計で約200 nmである。

続いて、強誘電体膜71として、SrBi₂Ta₂O₉膜を、金属有機物を塗布

焼成する方法によって形成した。この膜厚は、約200nmである。

次に、第2導電体膜72として、白金をスパッタリング法にて形成した。膜厚は約150nmである。

これら第2導電体膜72、強誘電体膜71、第1導電体膜69の順に、順次、フォトリソグラフィ、ドライエッティングにより加工した。

【0040】

さらに、図7に示すように、層間絶縁層73として、酸化シリコンをプラズマCVDにより形成する。そして、第2導電体膜72とソース層64とドレイン層(図示しない)に達するコンタクトホール75、76を開けて、アルミニウム電極77、78を形成して加工して完成した。

【0041】

図8は、完成したこの実施例の強誘電体トランジスタの上から見た平面図である。トレンチ66の大きさが点線で示されており、その上部の第2導電体72とアルミニウム電極77が示されている。ソース電極78がその横に示される。この図8の場合は、ドレインへの接続はチップの底面から取る構成であるため、ドレイン電極へのコンタクトは図示しない。

【0042】

図9では、ドレイン電極へのドレインコンタクト79が上面に設けられている。これは、集積回路などにおいてバイポーラトランジスタの集積回路で使われるコレクタを上面に取り出す方法を用いて、ドレインコンタクト79を上面に形成するようにしても良い。その他の構成は図8と同じである。図9から理解されるように、この実施例の強誘電体トランジスタの専有面積は、リソグラフィの精度によって決まる無駄の少ないウェハー上の専有面積となる。

【0043】

図6の実施例により形成されたMIS構造のキャパシタンス C_I とMFM構造のキャパシタンス C_F の実効面積比は、約17とすることができます。

図6の実施例のプロセスで作製したMFMIS構造の効果を調べるため、図12に示される従来例のMFMIS構造をそのMFMとMISの実効面積比が1となるようにして作製した。図10は、本発明のMFMIS構造と従来のMFMIS構

造のドレイン電流-ゲート電圧 ($I_d - V_g$) 特性を測定したグラフである。図 10 中、(a) と示される曲線が図 6 に示される本実施例のMFMIS構造の $I_d - V_g$ 特性であり、(b) と示される曲線が図 12 に示される従来例のMFMIS構造の $I_d - V_g$ 特性である。

【0044】

曲線 (a) の強誘電体の分極によるスレッショルドのずれ (メモリウインドウ幅) イは、曲線 (b) のスレッショルドのずれ (メモリウインドウ幅) ロより、10倍の大きさを有している。このことによって、MIS構造の専有面積を増加させずに、動作マージンが大きく得られる記憶素子を実現できる。

【0045】

図 11 は、トレンチ深さに対するメモリウインドウ幅の変化を示すグラフである。この図の横軸はトレンチの深さを示す。トレンチ深さは、ソースが $0.6 \mu m$ 、ベースが $0.4 \mu m$ の合計 $1 \mu m$ を含んでいる。この図 11 の本発明の構造の場合 K から理解されるように、従来構造の場合 L に較べてメモリウインドウ幅は 10 倍近く大きい。メモリウインドウのトレンチの深さに対する依存性は、トレンチ深さ $6 \mu m$ 以上において、メモリウインドウの増加の飽和点にほぼ到達する。

【0046】

なお、上述の図 1、図 2、図 3、図 5 b および図 6 に示される実施例においても、図 4 に示す実施例の様に、強誘電体薄膜 12、57、71 上の第 2 導電体層 13、58、72 の面積を強誘電体薄膜 12、57、71 の面積よりも小さくなるように形成して、MFM構造の実効面積を小さくし、相対的に下部のMIS構造の実効面積を大きくすることもできる。

【0047】

【発明の効果】

上述したように、本発明のMFMISトランジスタの構成によれば、MFM構造とMIS構造とをほぼ同一面積内で上下に積み重ねる構造を有し、かつ、下のMIS構造にはMISキャパシタンスの実効面積を増大する手段を有している。このため、本発明のMFMISトランジスタによれば、メモリセル面積を縮小し

高密度に集積化できる。大集積化のために必要とするシリコンウェハー上の面積を数分の一とすることが可能となり、その効果は絶大である。

【図面の簡単な説明】

【図1】 本発明の第1実施例によるMFMIS構造を持つ強誘電体トランジスタの断面図である。

【図2】 本発明の第2実施例によるMFMIS構造を持つ強誘電体トランジスタの断面図である。

【図3】 本発明の第3実施例によるMFMIS構造を持つ強誘電体トランジスタの断面図である。

【図4】 本発明の第4実施例によるMFMIS構造を持つ強誘電体トランジスタの断面図である。

【図5a】 本発明の第5実施例によるMFMIS構造を持つ強誘電体トランジスタを上から見た平面図である。

【図5b】 本発明の第5実施例によるMFMIS構造を持つ強誘電体トランジスタを図5aのb-b線で切断して見た断面図である。

【図6】 本発明の第6実施例によるMFMIS構造を持つ強誘電体トランジスタの断面図である。

【図7】 本発明の第6実施例によるMFMIS構造を持つ強誘電体トランジスタの別の断面図である。

【図8】 本発明の第6実施例によるMFMIS構造を持つ強誘電体トランジスタを上から見た平面図である。

【図9】 本発明の実施例によるMFMIS構造を持つ強誘電体トランジスタを上から見た平面図である。

【図10】 本発明によるMFMIS構造を持つ強誘電体トランジスタと従来例のMFMIS構造を持つ強誘電体トランジスタとのドレイン電流-ゲート電圧特性を示すグラフである。

【図11】 本発明によるMFMIS構造のメモリウインドウ幅とトレンチ深さの相関関係を示すグラフである。

【図12】 従来技術のMFMIS構造を持つ強誘電体トランジスタの断面図

である。

【図13】 強誘電体トランジスタの等価回路図である。

【図14】 従来技術のMFMIS構造を持つ強誘電体トランジスタを上から見た平面図である。

【図15】 従来技術のMFMIS構造を持つ強誘電体トランジスタの断面図である。

【図16】 従来技術のMFMIS構造を持つ強誘電体トランジスタの断面図である。

【図17】 シリコン結晶面(100)とシリコン結晶面(111)の関係を示す図である。

【図18】 シリコン結晶面(100)とシリコン結晶面(111)からV溝を形成する方法を示す断面図である。

【符号の説明】

6 トレンチ

10 MIS構造

12 強誘電体膜

20 MFM構造

27 トレンチ

34 トレンチ

30 MIS構造

40 MIM構造

43 SOI

47 強誘電体膜

50 凹凸領域

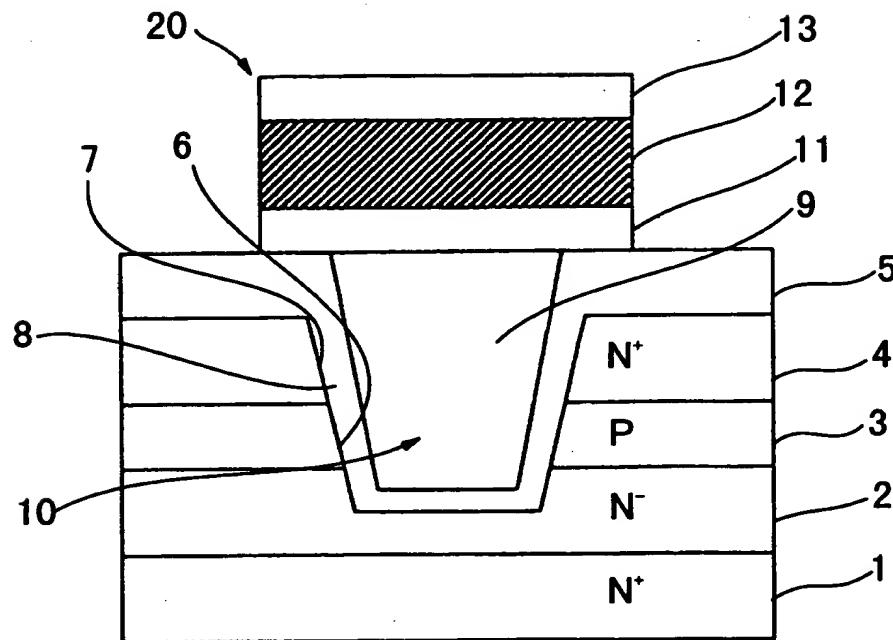
57 強誘電体膜

66 トレンチ

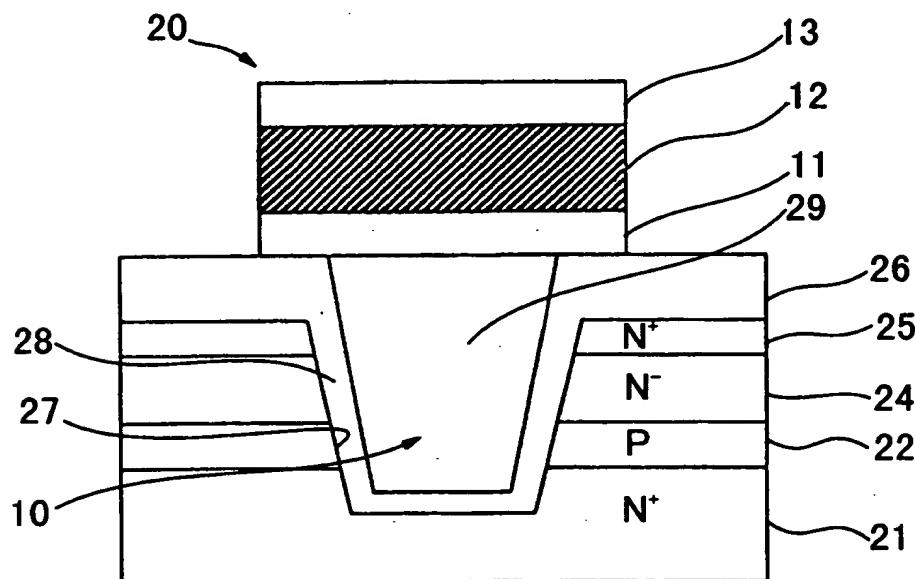
71 強誘電体膜

【書類名】 図面

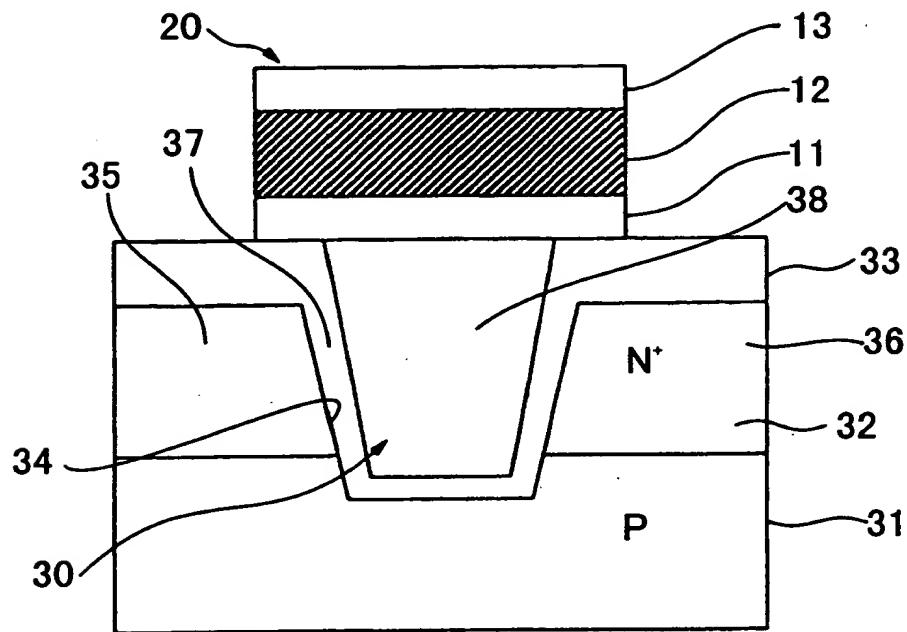
【図1】



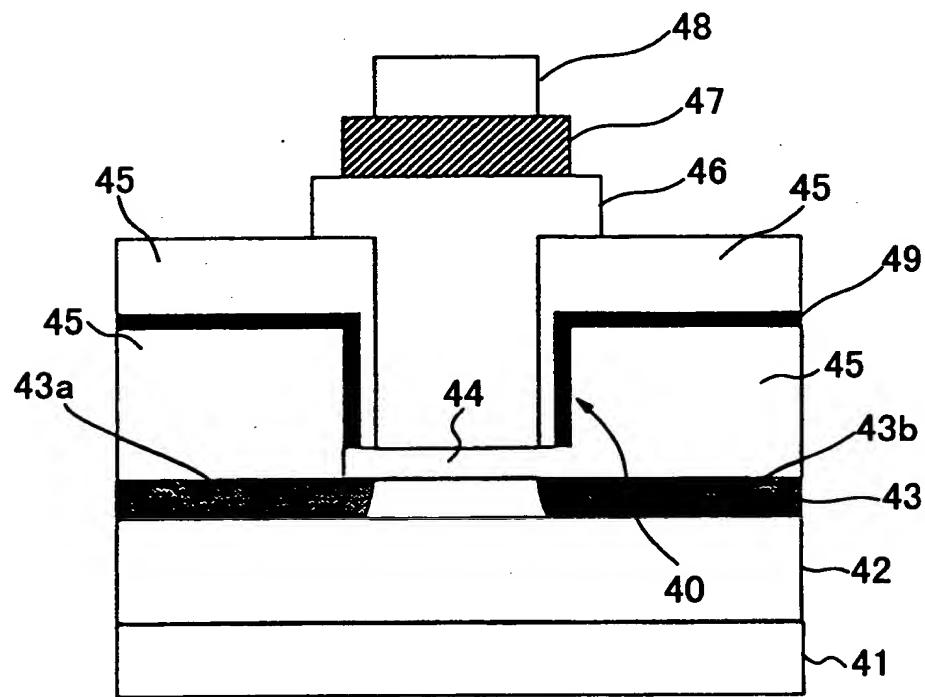
【図2】



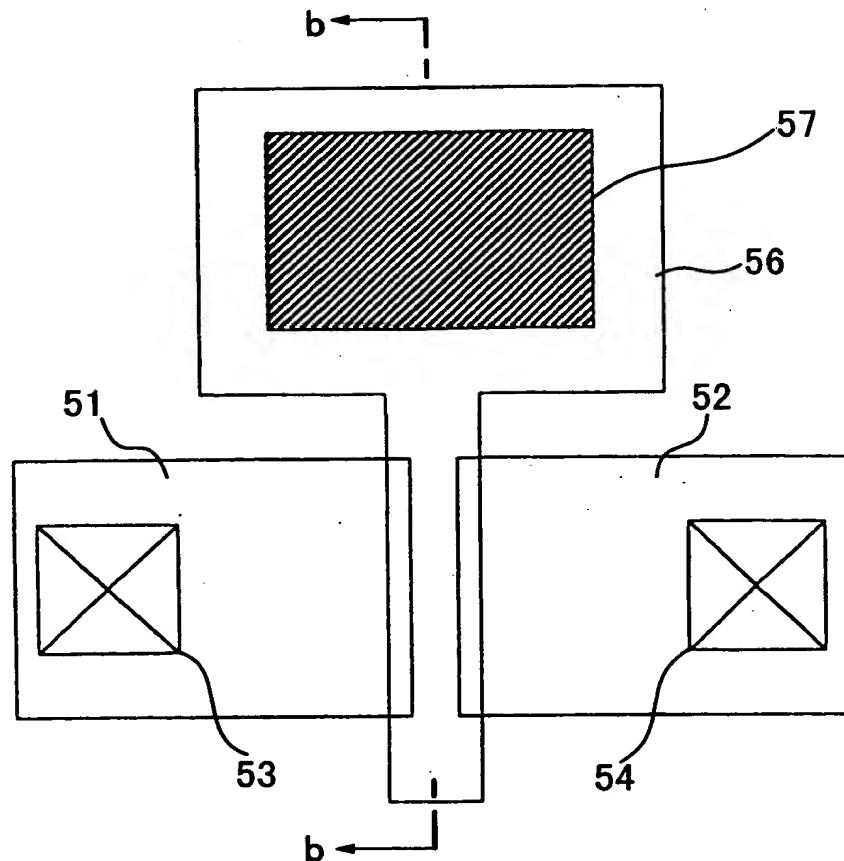
【図3】



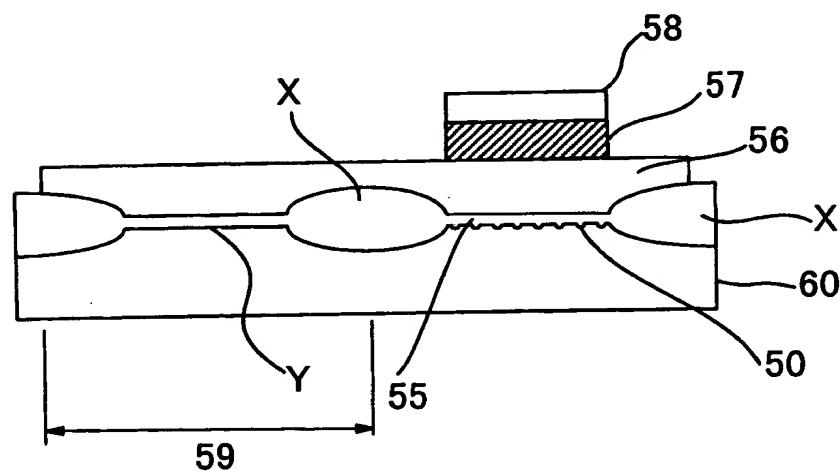
【図4】



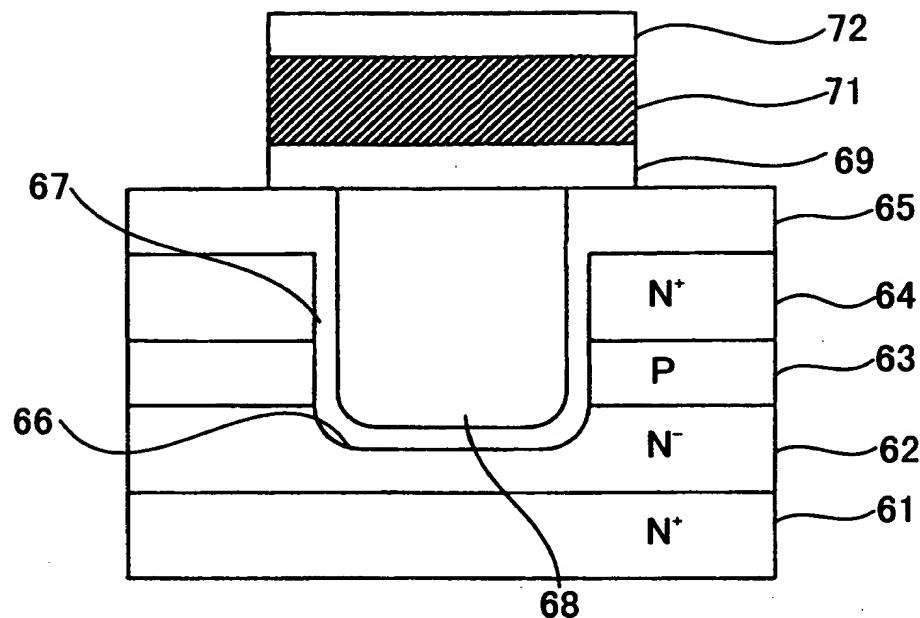
【図5a】



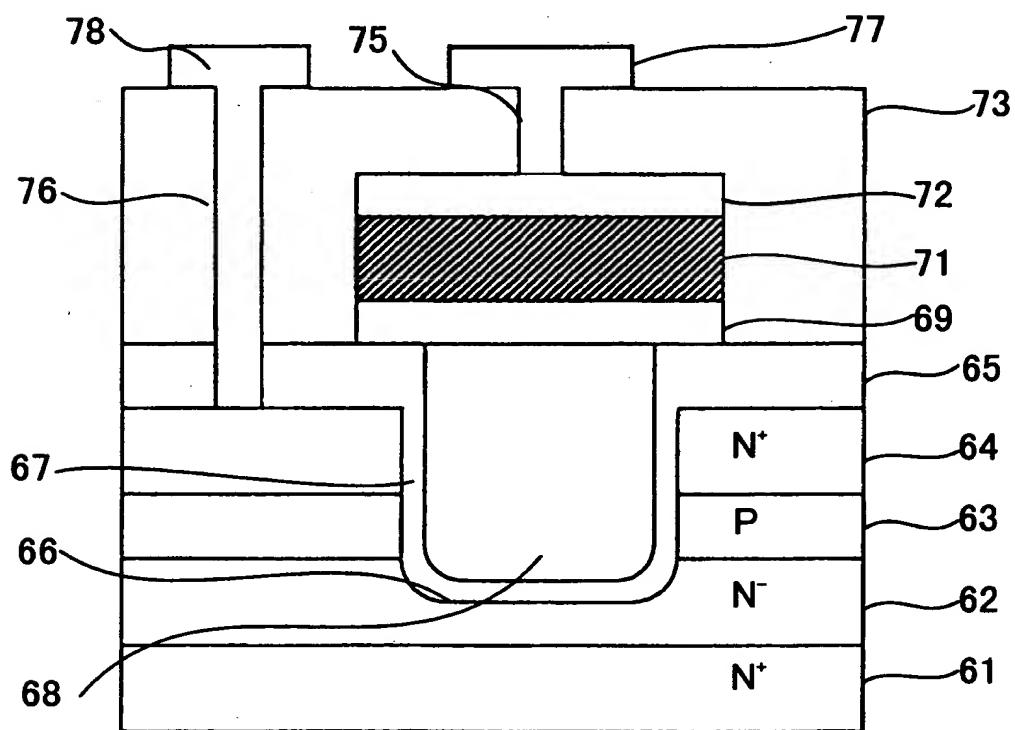
【図5b】



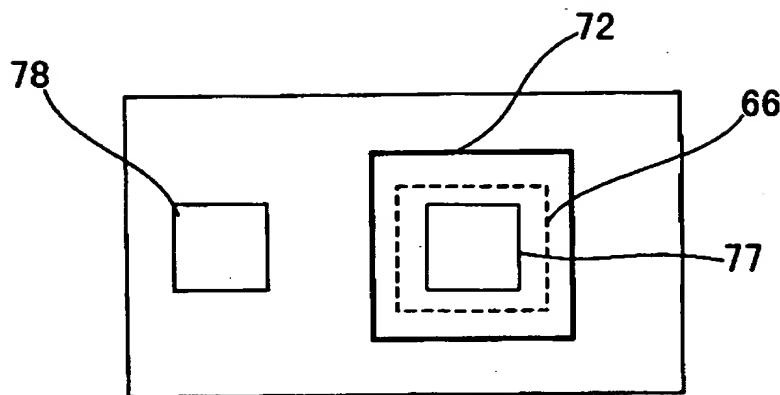
【図6】



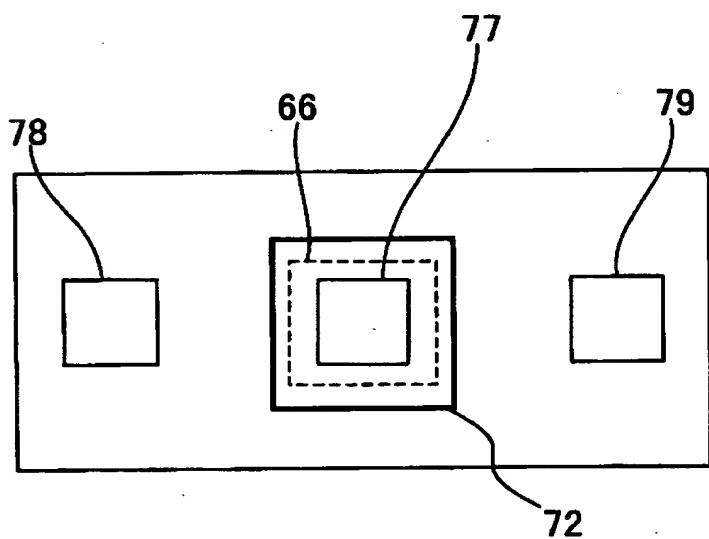
【図7】



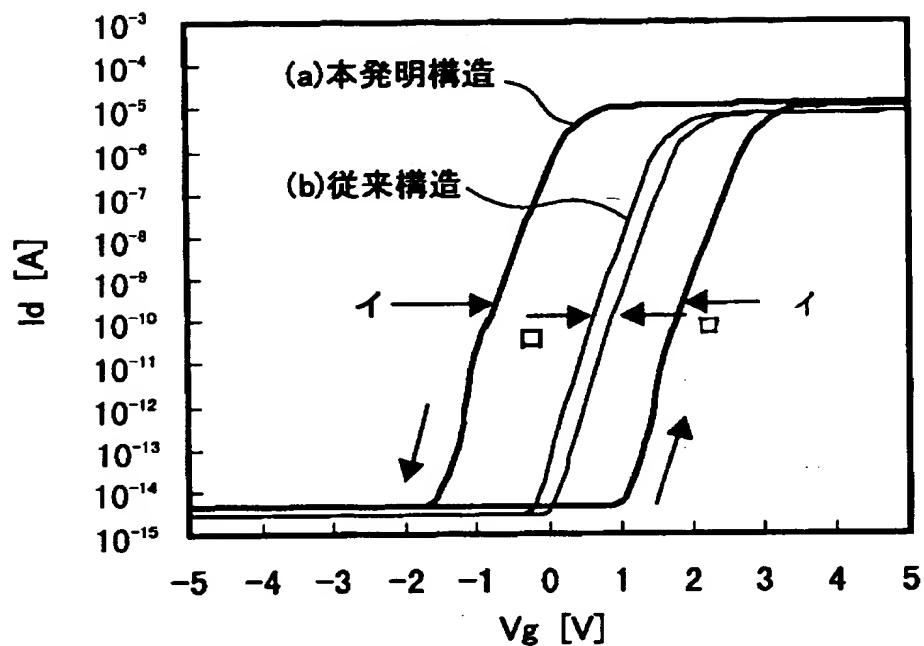
【図8】



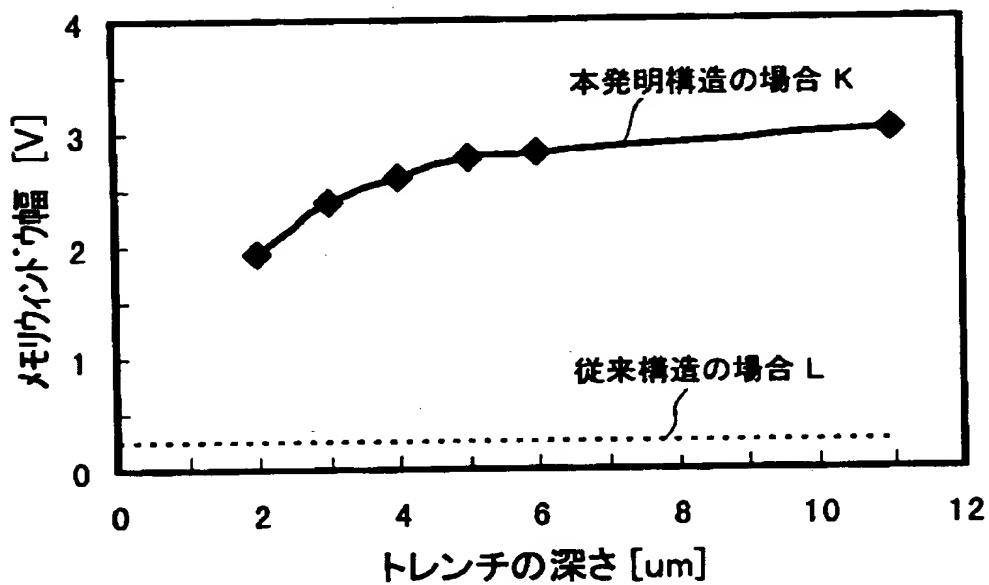
【図9】



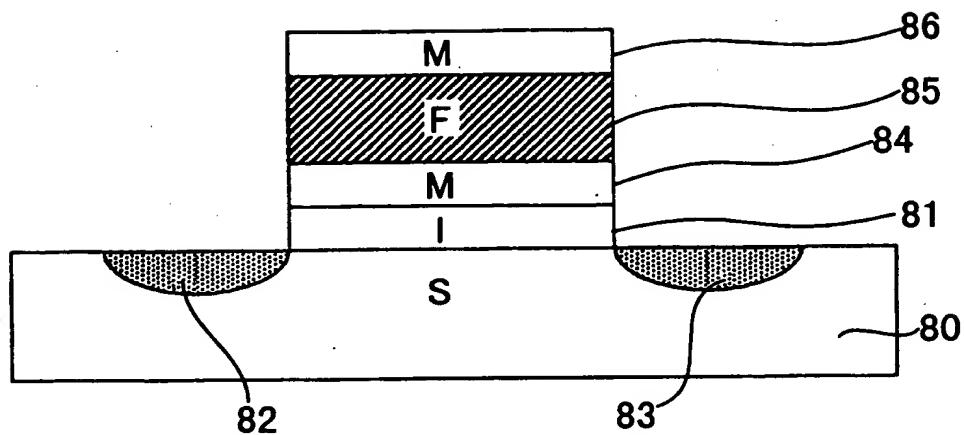
【図10】



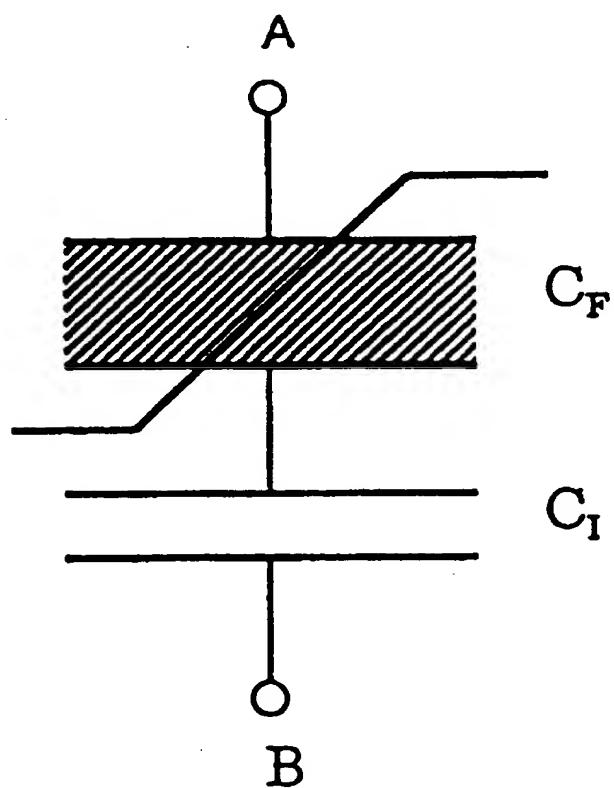
【図11】



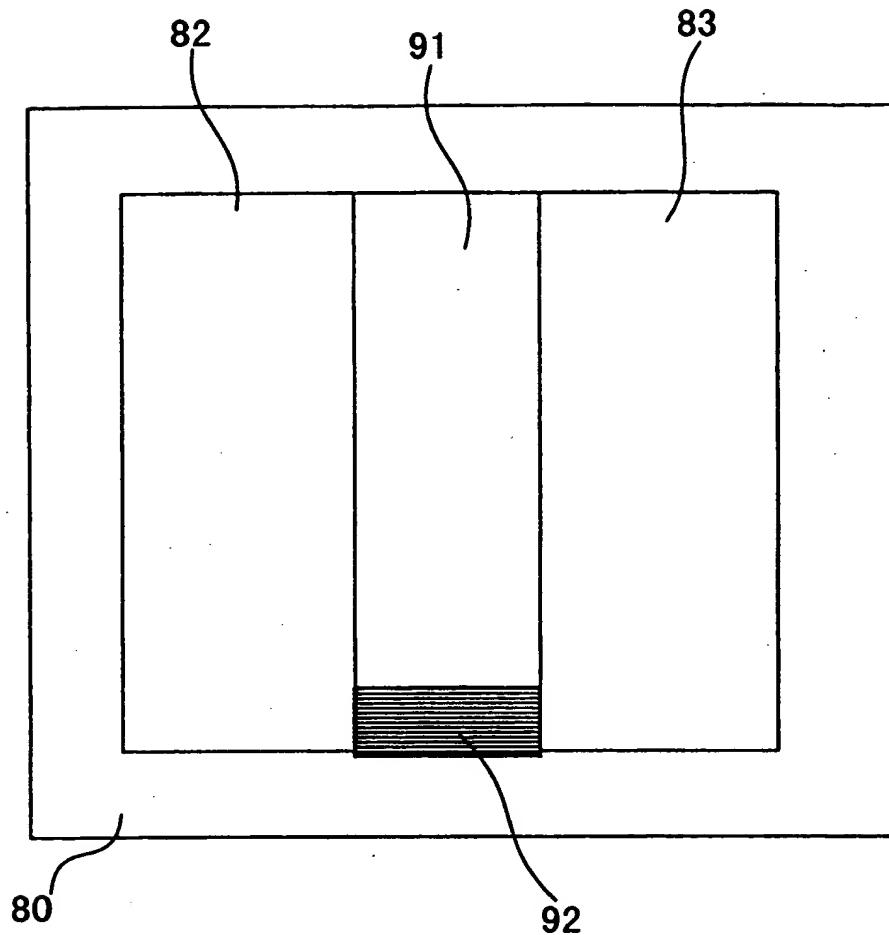
【図12】



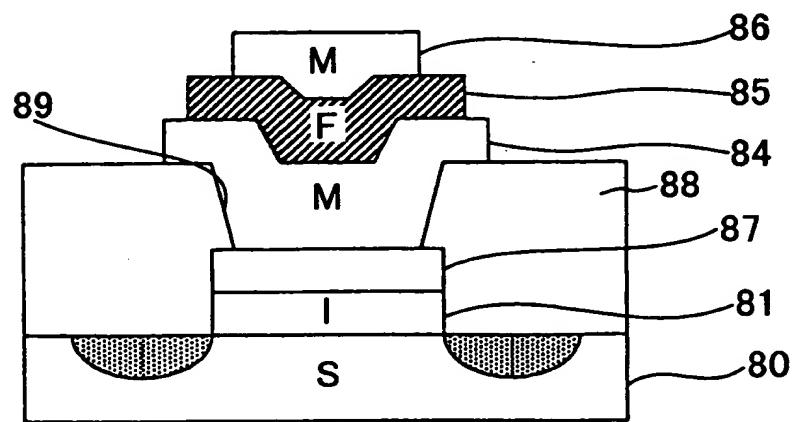
【図13】



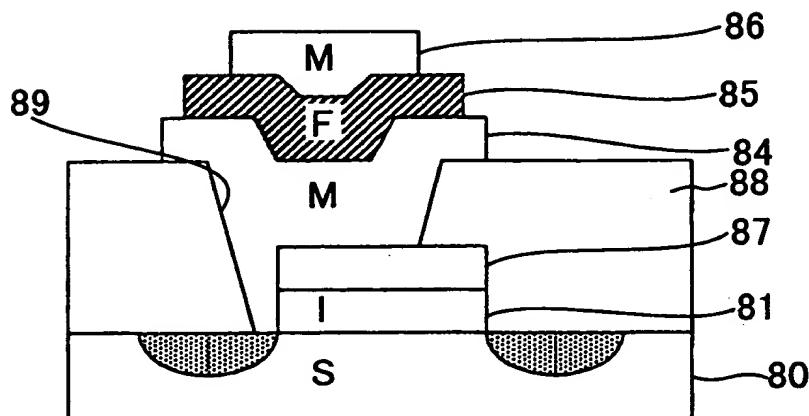
【図14】



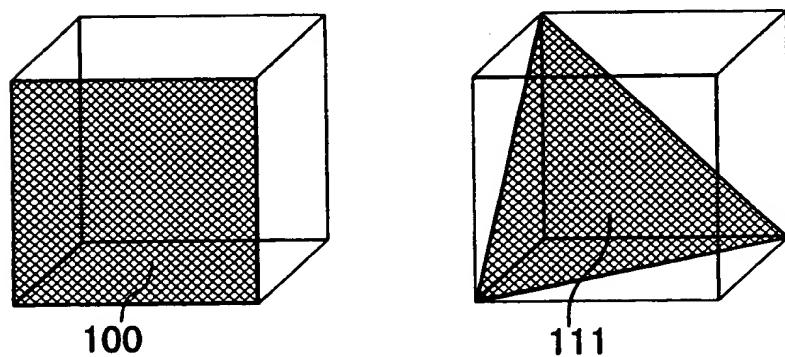
【図15】



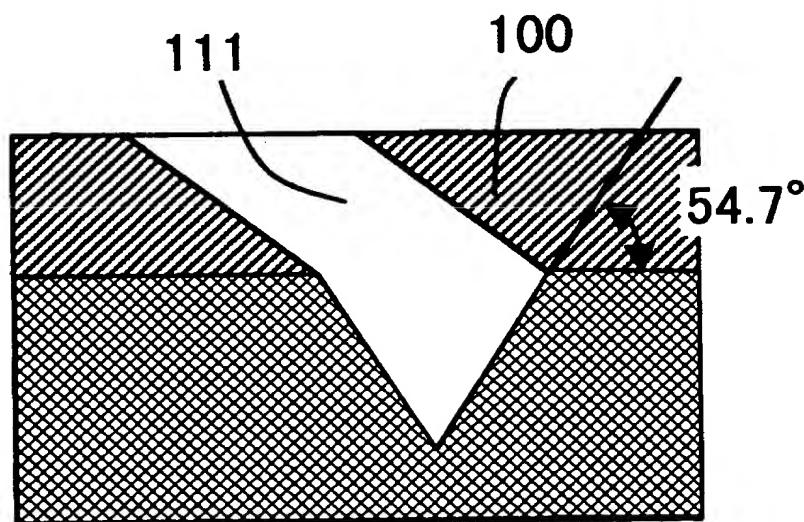
【図16】



【図17】



【図18】



【書類名】 要約書

【要約】

【課題】 高密度に集積できるMFMIS（金属－強誘電体－金属－絶縁体－半導体）構造を有するトランジスタ型強誘電体不揮発性記憶素子を提供すること。

【解決手段】 本発明のMFMISトランジスタの構成によれば、MFM（金属－強誘電体－金属）構造とMIS（金属－絶縁体－半導体）構造とをほぼ同一面積内で上下に積み重ねる構造を有し、かつ、下のMIS構造にはMISキャパシタンスの実効面積を増大する手段を有している。このキャパシタンスの実効面積を増大する手段は、半導体基板内のトレンチ、MIS構造内の凹凸、MIM（金属－絶縁体－金属）構造などである。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2000-073507
受付番号	50000315444
書類名	特許願
担当官	宇留間 久雄 7277
作成日	平成12年 3月23日

<認定情報・付加情報>

【特許出願人】

【識別番号】	500118034
【住所又は居所】	東京都世田谷区瀬田1丁目9番27-304号
【氏名又は名称】	垂井 康夫

【特許出願人】

【識別番号】	390009667
【住所又は居所】	東京都中央区京橋二丁目6番21号
【氏名又は名称】	日本プレシジョン・サーキツ株式会社

【代理人】

【識別番号】	100059959
【住所又は居所】	東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所
【氏名又は名称】	中村 稔

【選任した代理人】

【識別番号】	100067013
【住所又は居所】	東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所
【氏名又は名称】	大塚 文昭

【選任した代理人】

【識別番号】	100082005
【住所又は居所】	東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所
【氏名又は名称】	熊倉 穎男

【選任した代理人】

【識別番号】	100065189
【住所又は居所】	東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所
【氏名又は名称】	宍戸 嘉一

次頁有

認定・付加情報 (続き)

【選任した代理人】

【識別番号】 100096194

【住所又は居所】 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所

【氏名又は名称】 竹内 英人

【選任した代理人】

【識別番号】 100074228

【住所又は居所】 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所

【氏名又は名称】 今城 俊夫

【選任した代理人】

【識別番号】 100084009

【住所又は居所】 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所

【氏名又は名称】 小川 信夫

【選任した代理人】

【識別番号】 100082821

【住所又は居所】 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所

【氏名又は名称】 村社 厚夫

【選任した代理人】

【識別番号】 100086771

【住所又は居所】 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所

【氏名又は名称】 西島 孝喜

【選任した代理人】

【識別番号】 100084663

【住所又は居所】 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所

【氏名又は名称】 箱田 篤

次頁無

出願人履歴情報

識別番号 [500118034]

1. 変更年月日 2000年 3月16日

[変更理由] 新規登録

住 所 東京都世田谷区瀬田1丁目9番27-304号
氏 名 垂井 康夫

出願人履歴情報

識別番号 [390009667]

1. 変更年月日 1993年11月 1日

[変更理由] 住所変更

住 所 東京都中央区京橋二丁目6番21号

氏 名 日本プレシジョン・サーキッツ株式会社

2. 変更年月日 2000年 7月 6日

[変更理由] 住所変更

住 所 東京都江東区福住二丁目4番3号

氏 名 日本プレシジョン・サーキッツ株式会社